

数値流体力学計算のための専用計算機

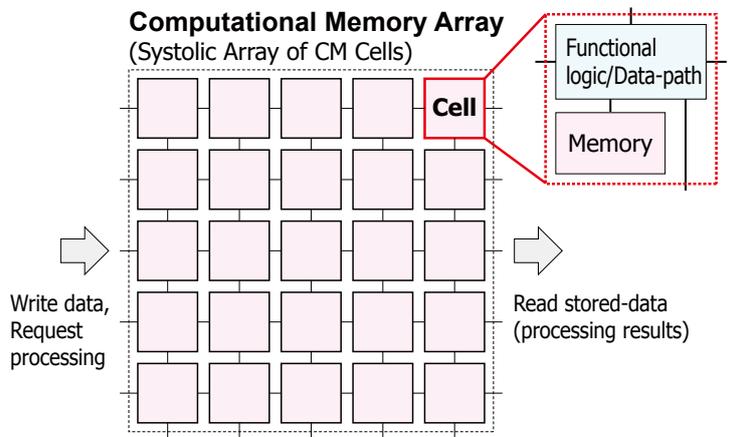
数値流体力学を始め様々な科学分野では、さらなる高性能数値計算が求められている。そのような需要に対して、現在では、汎用プロセッサをベースとした大規模並列計算機によるスーパーコンピューティングが主流となっている。並列計算機の狙いは計算機の台数増による計算性能向上であるが、一般に、台数が増え過ぎると性能が向上しなくなる傾向がある。これは、計算ノード間を接続するネットワークがボトルネックとなるためであり、コストを抑え、かつ、用意した計算機の性能を余すところなく利用するためには、出来るだけ少ない台数で所望の計算性能を達成することが重要である。



このような背景の下、特に数値計算が重要となるアプリケーションに的を絞った専用計算機は、微細化により利用可能となった多数のオンチップハードウェア資源を有効活用するために、アプリケーションに特化したアーキテクチャを採用可能な点で注目を集めている。

例えば、偏微分方程式による支配方程式を差分法等により数値的に解く計算力学では、一般に、個々の計算は局所的なデータと近傍における過去の計算結果を用いて行われる。このような性質を持つ数値計算を高速実行可能なアーキテクチャとして、本研究ではシストリック計算メモリアーキテクチャを提案している。本アーキテクチャでは、メモリボトルネックを排しスケーラブルな超並列計算を実現するために、局所メモリと単純な計算回路を持つセルを多数並べ、シストリックアレイとして動作させる。セルを増やすことにより、全体のメモリ帯域と単位時間あたりの計算数を増加させることができる。アレイ自身は計算機能を持つメモリとして動作し、ホスト計算機から必要なデータを書き込まれた後に計算が行われ、計算結果を読み出せるようになる。

少数の計算ノードで目的の性能を実現するには、計算ノード単体の高性能化が不可欠である。しかしながら、並列計算機に用いられている汎用のマイクロプロセッサはコストに見合った性能向上が困難となっている。これまで、マイクロプロセッサの性能向上は、主に1) 動作周波数の向上、2) 集積度の向上、3) アーキテクチャの改良の3つによりなされてきた。1)、2)は半導体微細化技術の進歩によるものであるが、近年、配線遅延や電力密度の増大により、これ以上に動作周波数を上げることが非常に困難となっている。また、低い動作周波数で高い性能を得るためには並列処理が有効であるが、微細化により多数のトランジスタを集積できるようになっても、それらを効率良く計算に利用するための並列性の欠如が、高集積による性能向上を妨げている。3)については、マイクロプロセッサのボトルネックの一つであるメモリバンド幅を改善すべく様々なアーキテクチャが考案されてきているものの、任意のアプリケーションにおける命令列・スレッド列から並列性を抽出し、それらを固定されたデータパスにより実行する汎用マイクロプロセッサには性能向上に限界がある。



シストリック計算メモリアーキテクチャ



FPGAクラスタ計算機

シストリック計算メモリアーキテクチャにより超並列計算を行うためには、対象とする数値計算の持つ細粒度並列性を明らかにし、これを考慮しながらアルゴリズムをシストリックアレイにマッピングする必要がある。本研究では、主に数値流体力学のための差分スキームに着目し、各格子点における計算の依存関係や、必要なデータの局所性を調査し、最適な計算手法を選定する。各セルに持たせるべきデータと計算機能を定めた後、セルの基本機能と、これを用いた計算・通信手順を明らかにする。

以上のような専用計算機の実装にはカスタムVLSIやASIC等様々な手段が存在するが、本研究では、ハードウェアを書き換え可能なFPGA (Field-Programmable Gate Array)によるシストリック計算メモリの試作実装を試みている。近年、大規模FPGAによる浮動小数点演算性能が飛躍的に向上していることに加え、FPGAの持つロジックブロックとエンベディッドSRAMの分散配置構造は、シストリック計算メモリアーキテクチャと非常に親和性が高い。また、これらの研究の延長として、従来の並列計算機における処理の一部を高速化する手段としてFPGAを用いたFPGAクラスタ計算機を構築し、ペタフロップス級の数値計算性能を目指す。