



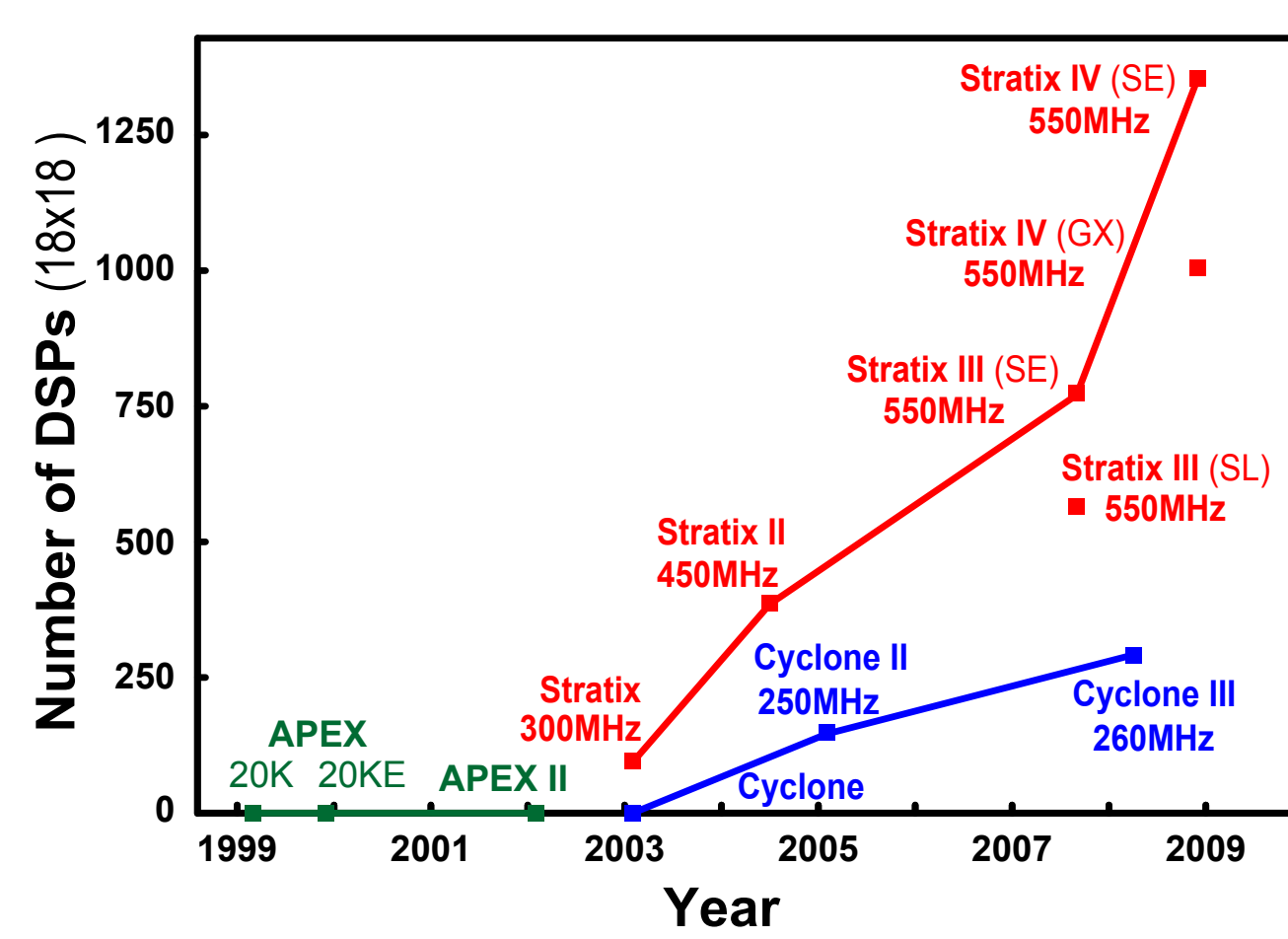
東北大学

# FPGAクラスタによるスケーラブル&高性能数値計算アクセラレータ

## ■ 背景と目的

### FPGAによる高性能計算の可能性

- 大規模化 (演算器増加)
  - 高速化 (動作周波数向上)
  - 内蔵メモリ容量の増大
  - I/Oバンド幅の拡大
- ⇒ 浮動小数点数値演算に対する潜在的な性能



FPGAの整数演算器数の増加傾向

各種計算問題に特化した専用計算機の構造はどうあるべきか？  
求められている高スケーラビリティを複数のFPGAから成る大規模システムにより実現することは可能か？

### 本研究

- 各種計算問題に対し、スケーラブルな専用計算機アーキテクチャを提案
- 商用FPGAを多数接続したFPGAクラスタを構築
- 専用計算機の試作による高スケーラビリティシステムの実証

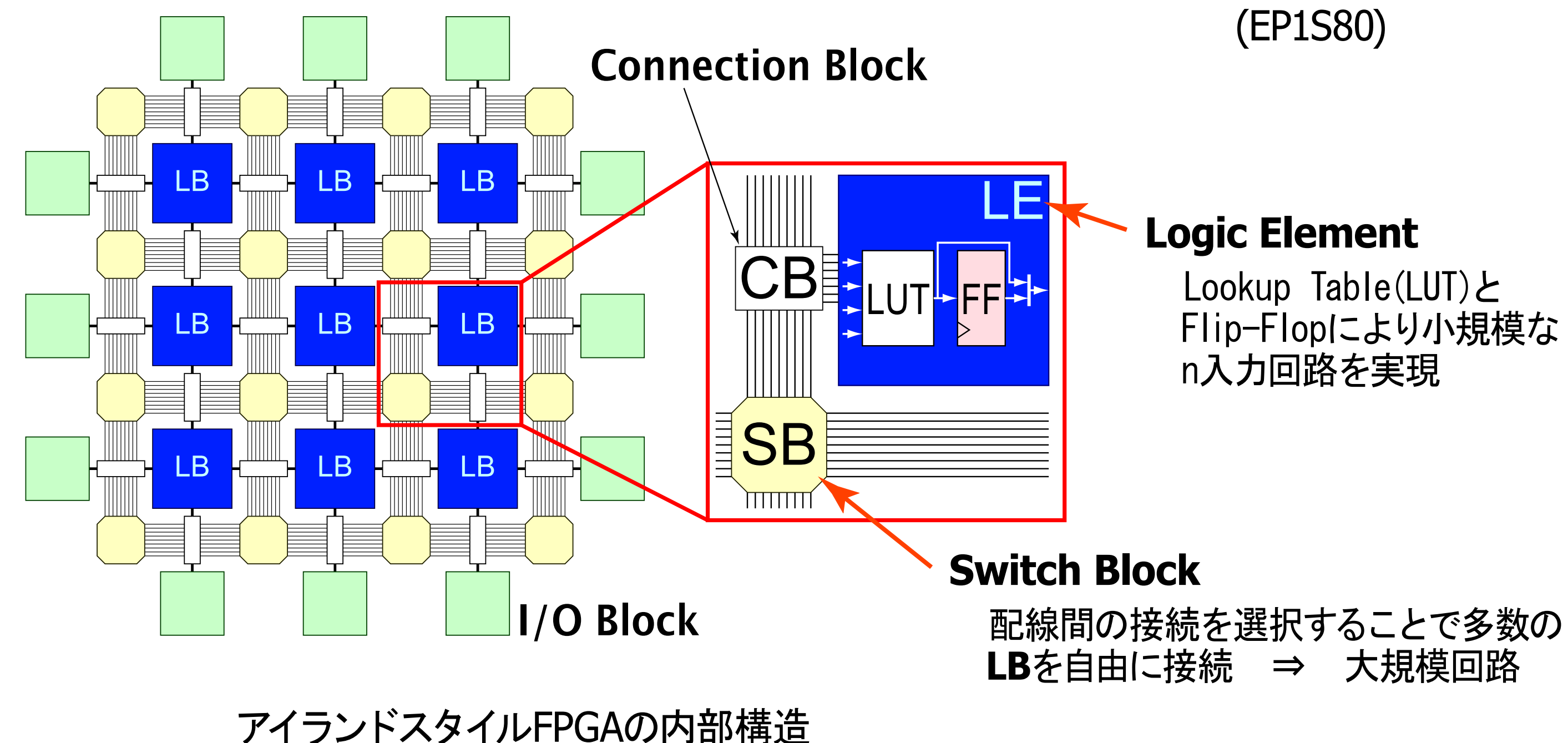
## ■ FPGAとは？

### Field-Programmable Gate Array

- (工場ではなく)現場で回路を書き換え可能なデバイス
- 一般的な使用例: LSIの試作(回路エミュレーション), 少量生産のLSI, 携帯基地局
- 回路書き換えはLEとSBにより実現



ALTERA Stratix FPGA (EP1S80)

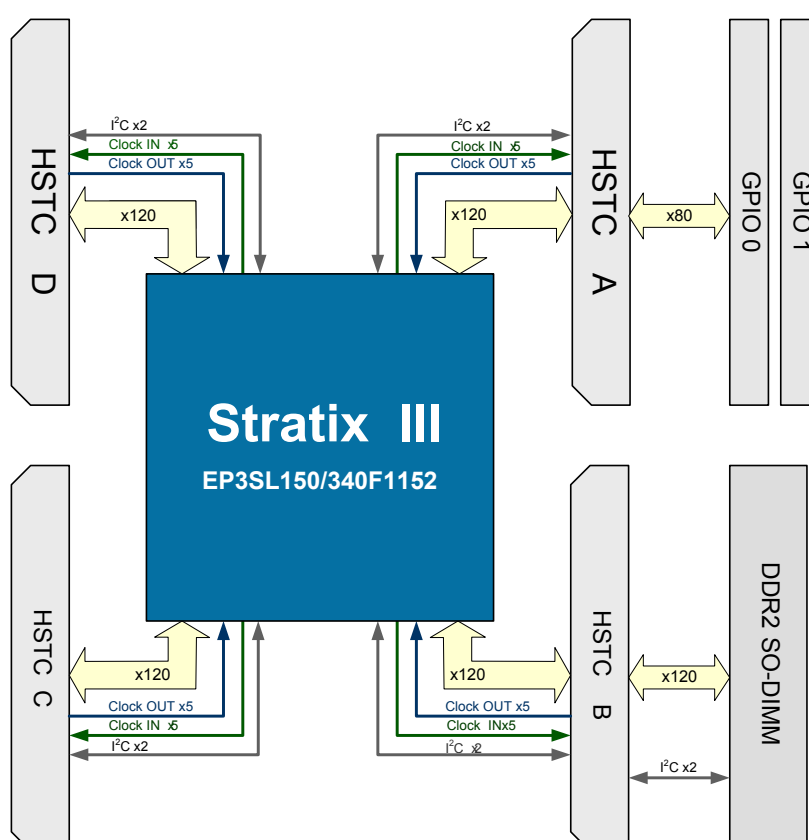


アイランドスタイルFPGAの内部構造

## ■ スタッカブルFPGAボード

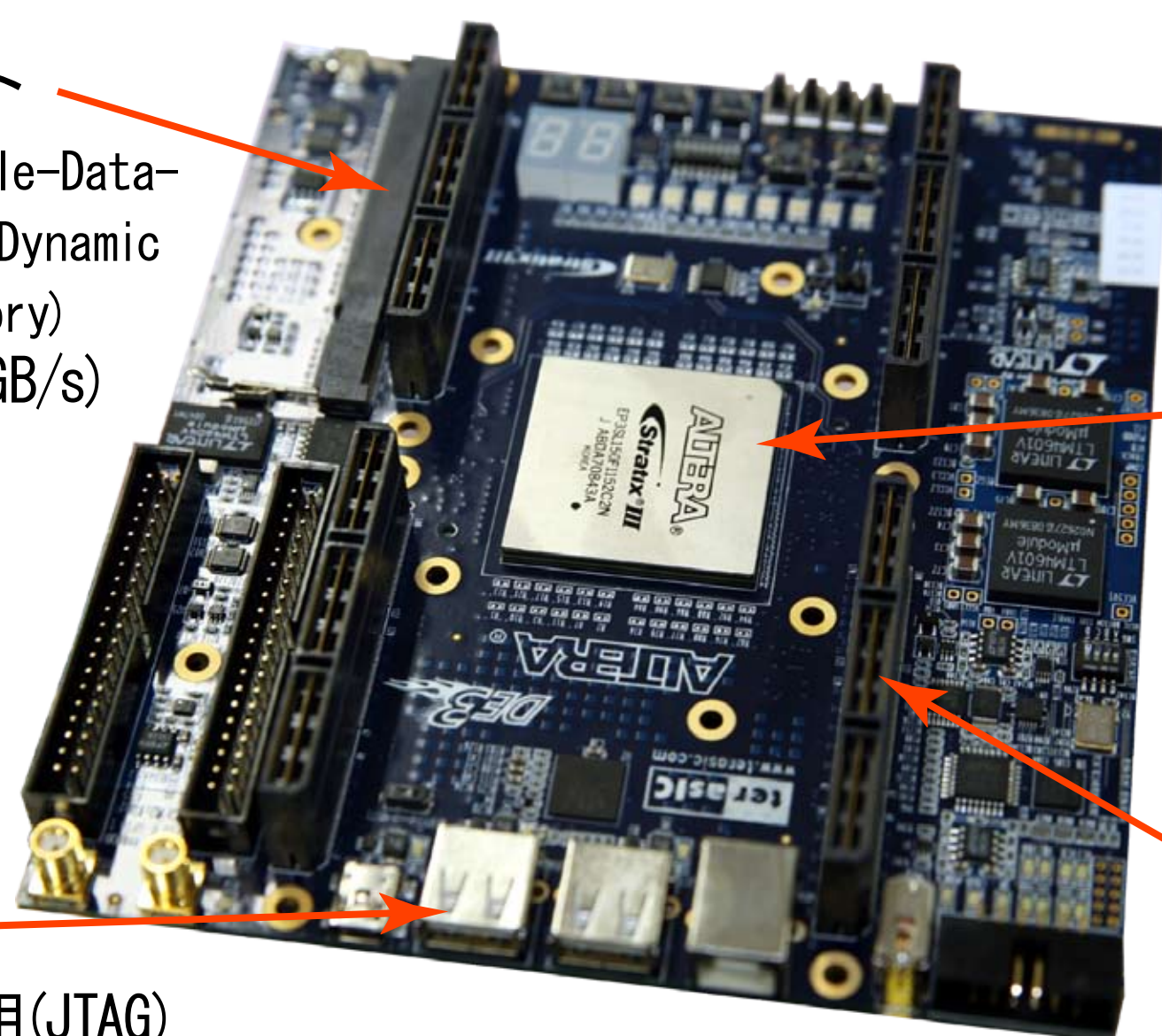
### ALTERA DE3ボード

- Stratix III FPGA x 1
- 4つのFPGA間接続用コネクタ
- または 3つのコネクタ & DDR2メモリ
- ブロックのようにボードを自由に接続可



### DDR2メモリソケット

- DDR2 SDRAM (Double-Data-Rate2 Synchronous Dynamic Random Access Memory)
- PC2-6400まで(6.4GB/s)



ALTERA DE3ボード

### ALTERA StratixIII FPGA

- 142,000 LEs
- 6,390Kbits Memory
- 384 18x18bit DSPs

### FPGA間接続コネクタ

- 60 LVDSチャンネル / コネクタ
- 最大4GBytes/s / コネクタ (双方向)

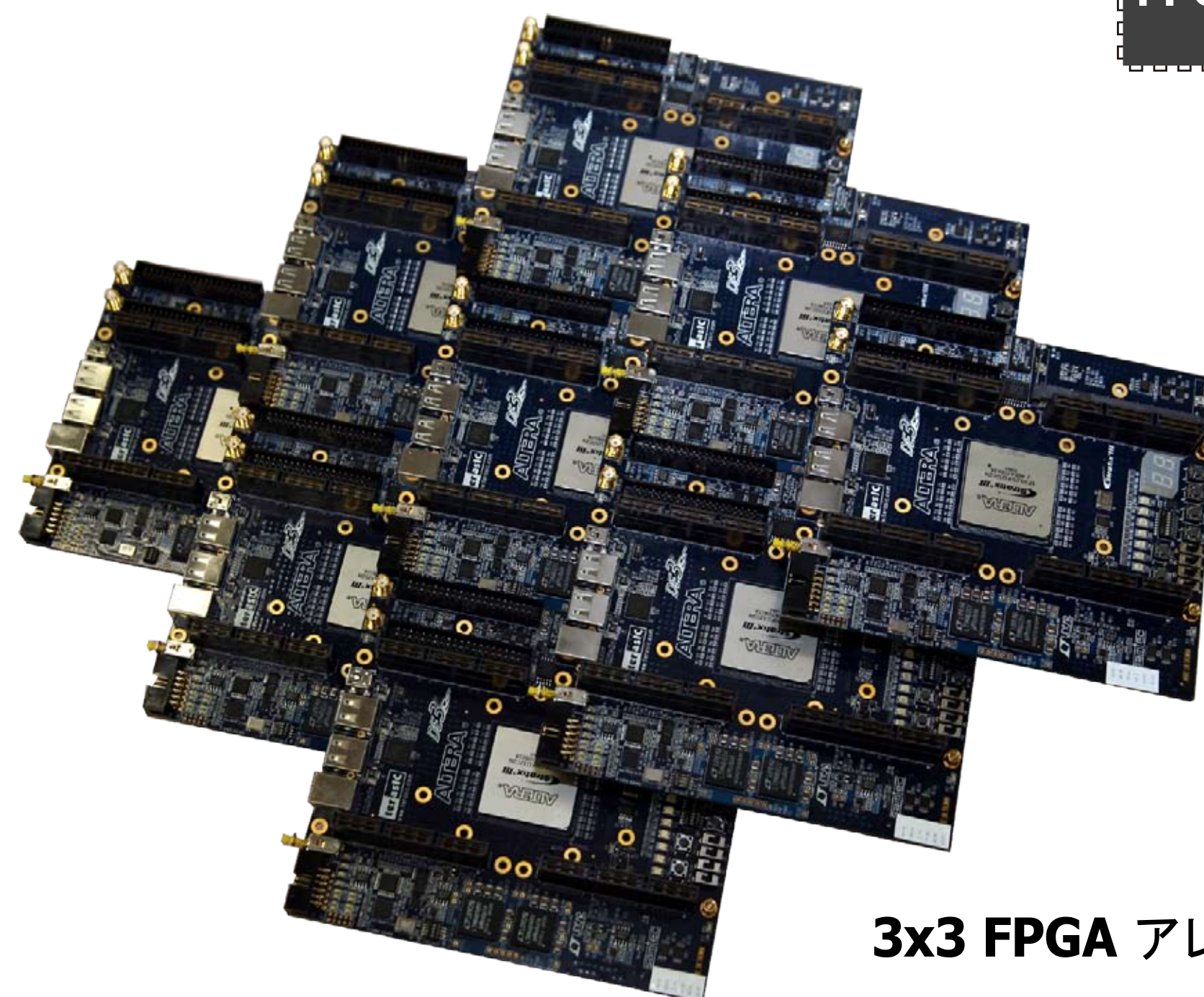
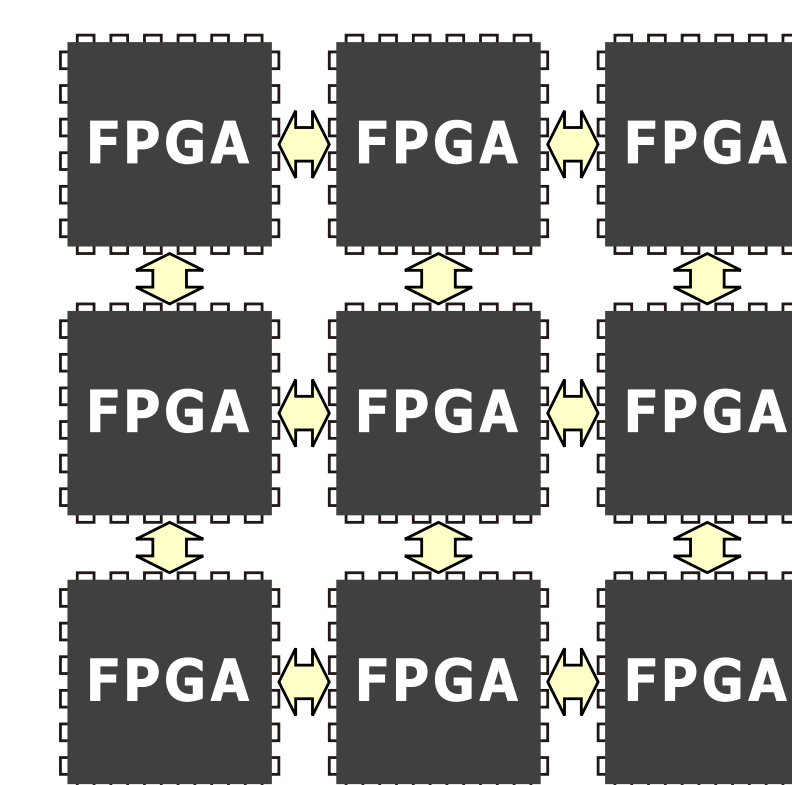
### USBコネクタ

- 回路書き込み用(JTAG)
- ホスト計算機との通信用

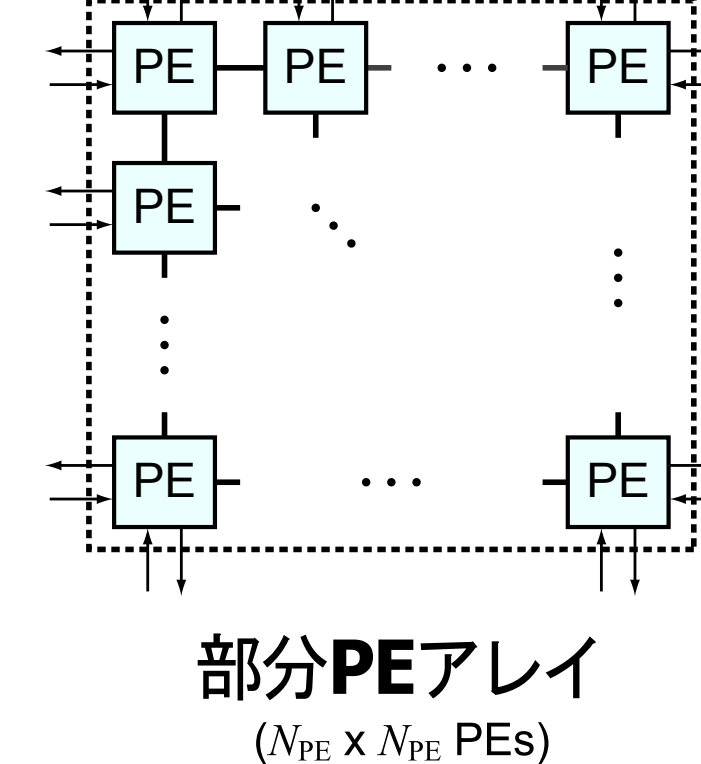
## ■ FPGAクラスタ構成1 : nxn アレイ

### シストリック計算メモリアレイ

- 二次元メッシュネットワーク
- FPGAの二次元アレイ
- 計算要素(PE)のシストリックアレイ
- 差分法に基づく数値計算向け



3x3 FPGA アレイ

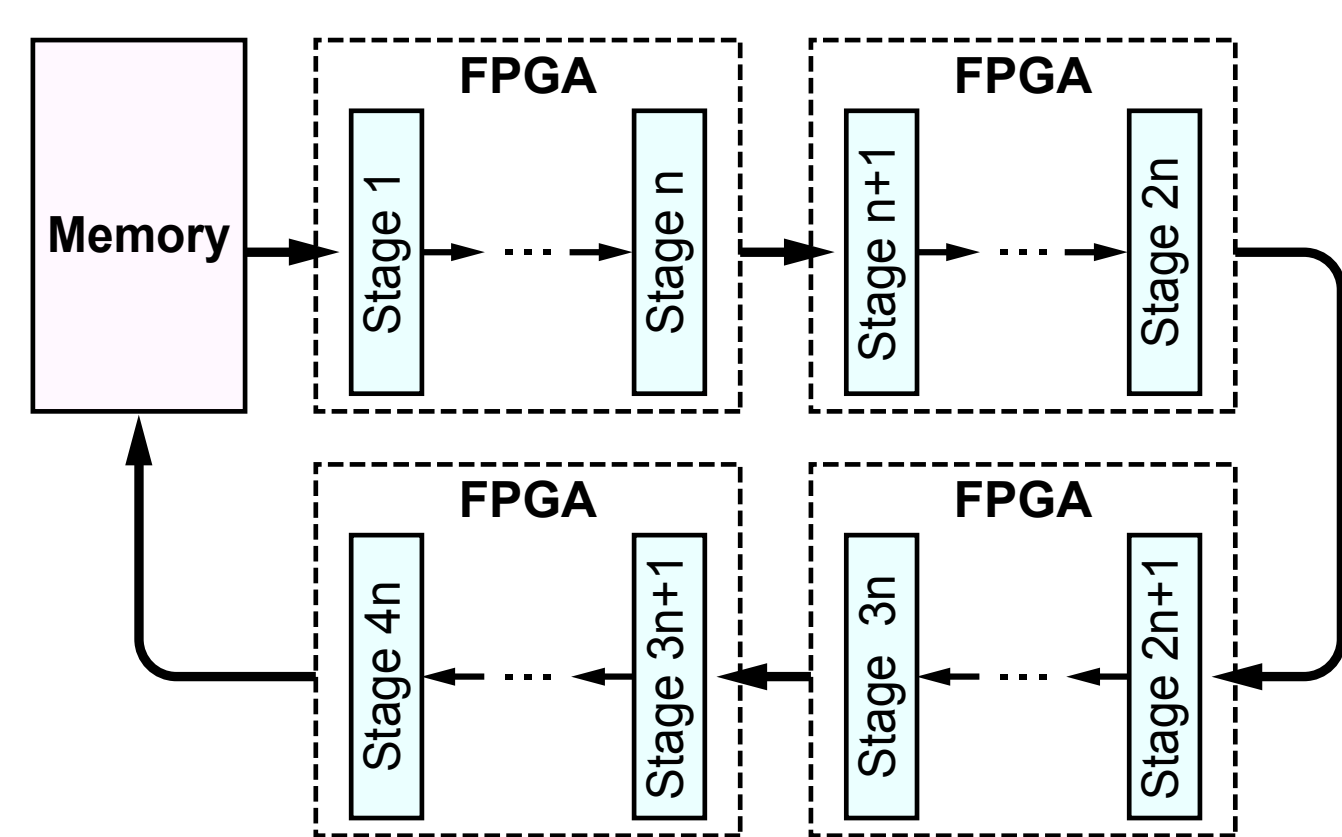


部分PEアレイ (NPE X NPE PEs)

## ■ FPGAクラスタ構成2 : n段接続

### 超長ストリーム計算パイプライン

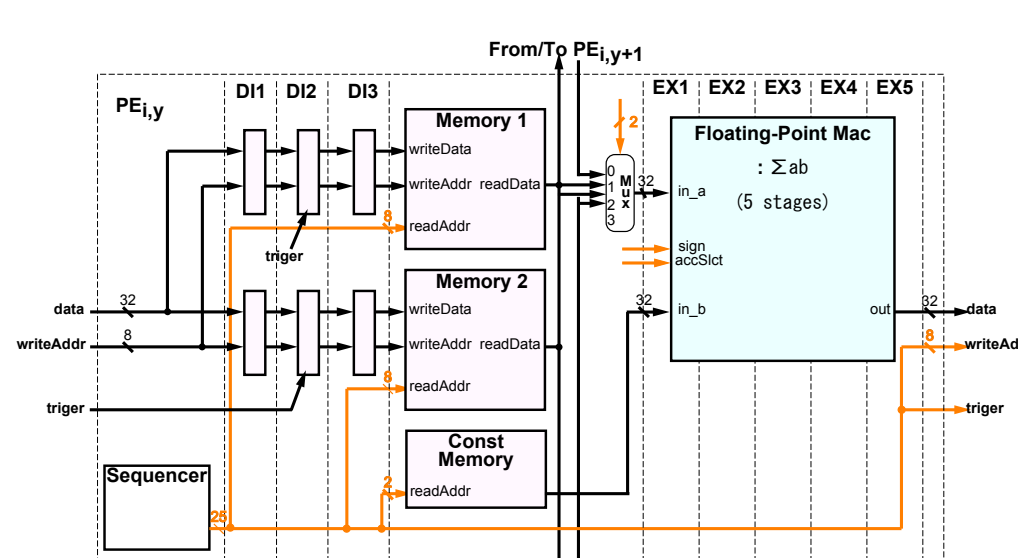
- 一次元メッシュネットワーク
- 多段FPGA接続
- プログラマブルパイプラインステージ
- 反復処理のストリーム計算向け



FPGAによる超長ストリーム計算パイプライン



9段 FPGA接続

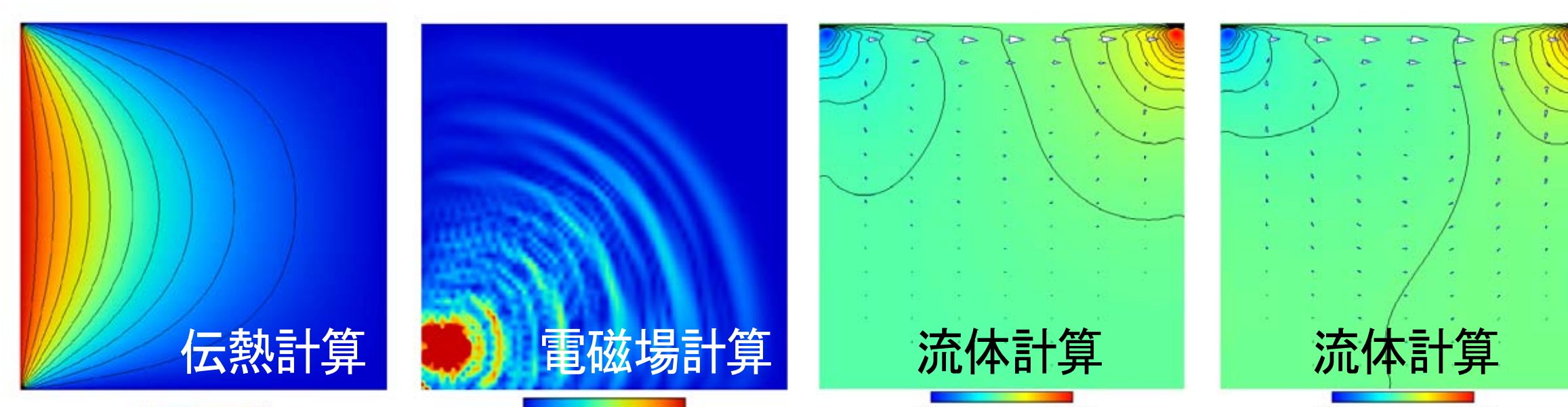
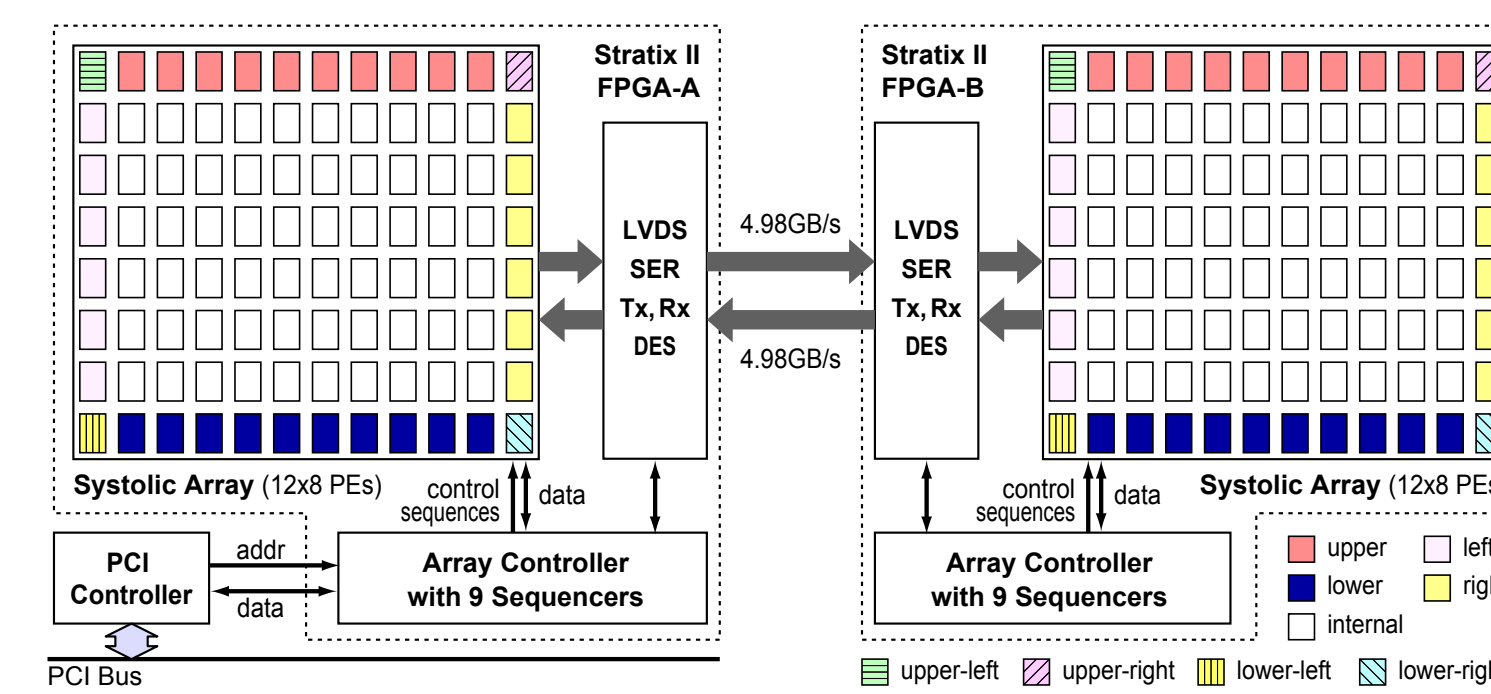


各ステージを構成する計算要素

## ■ 研究の進捗と今後

### シストリック計算メモリアレイ

- 単一FPGAでの試作 完了
- ベンチマーク計算による検証 完了
- FPGA間接続モジュール 設計済み
- 3x3 FPGAアレイ実装に向け試作中



### 超長ストリーム計算パイプライン

- 動作モデル・アーキテクチャ設計 完了
- 2次元ヤコビ法のための試作設計中
- 単一FPGAでの試作 進行中
- 9段 FPGA実装に向け検討中

### 実用化に向けて

- 各種構成向けのコンパイラ
- ホストPCとの高速接続
- アクセラレータAPI・ライブラリ