



東北大学

Scalable Streaming-Array : マルチFPGA によるハードウェアポワソン方程式ソルバ

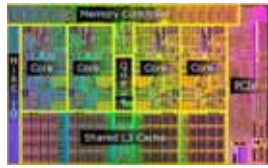
背景と目的

メニーコアプロセッサ・アクセラレータの稼働率低下の問題

- 多コア ⇒ 高ピーク演算性能 ... しかし
- 演算比率の不一致
- メモリ帯域の不足
- 並列処理のオーバヘッド

低い実効性能
低スケーラビリティ

様々なアルゴリズムに対し、固定ハードウェアとして用意された演算器を使い切るのは困難 ... 可変ハードウェアなら?



Intel Core i7 processor

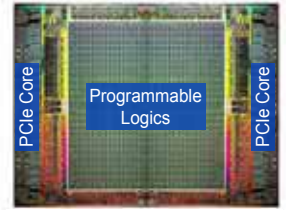


nVidia Tesla c1060

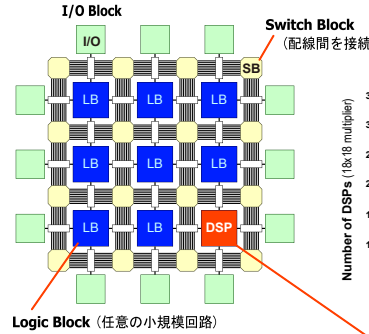
FPGAとは?

Field-Programmable Gate Array

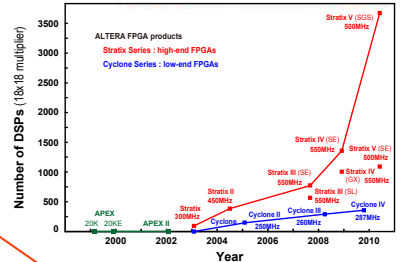
- 工場出荷後回路を書き換え可能なデバイス
- 従来の使用例: LSIの回路エミュレーション, 少量生産のLSI, 携帯基地局



FPGA Die Photograph (ALTERA Stratix IV GX)



アイランドスタイルFPGAの内部構造



ALTERA FPGAのDSPブロック(整数演算器)数 (近年特に大規模化・高速化が進む)

本研究 : 低電力高性能アクセラレータの実現

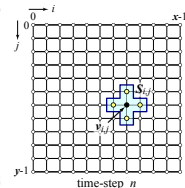
- ステンシル計算のための専用計算機アーキテクチャを提案・設計
- 回路再構成可能デバイス(FPGA)によるハードウェア可変アクセラレータの実現
- 多数のFPGAによるスケーラブルアクセラレータの試作
- 高スケーラビリティ, 高電力対性能比を実証

反復ステンシル計算とそのストリーム化

```

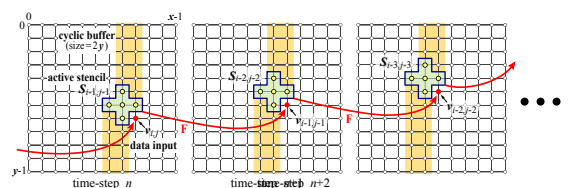
1: for(n=0; n<g; n++) { // for g iterations
2:   for(i=0; i<x; i++)
3:     for(j=0; j<y; j++) { // for data-space
4:       // Update datum v(i,j) from n to n+1
5:       v(n+1,j) = F1(v(n,i,j) in S11,j)
6:     }
7: }

```



ステンシル計算の特徴

- 各格子点の更新はステンシルS内の格子点にのみ依存
- 全格子点の更新終了後、これを反復
- 更新の演算量に比べ、データ量が多い



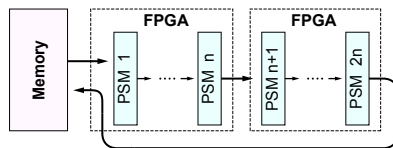
ステンシル計算のストリーム化 (一回のデータ読み出しで複数反復を計算)

2次元反復ステンシル計算とその擬似コード

Scalable Streaming Array (SSA)

ハードウェア設計の要件

- 演算性能とバンド幅のバランス
- 高スケーラビリティ
- 計算の柔軟性(プログラマビリティ)
- 多数の浮動小数点演算器&高稼働率

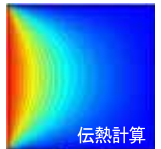


Scalable Streaming Array アーキテクチャ (PSM: Pipeline-Stage Module)

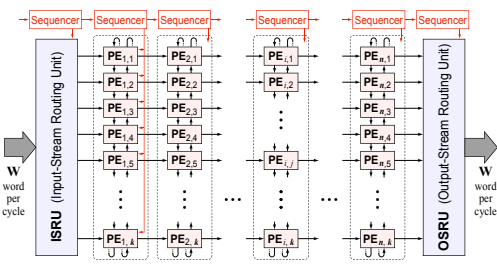
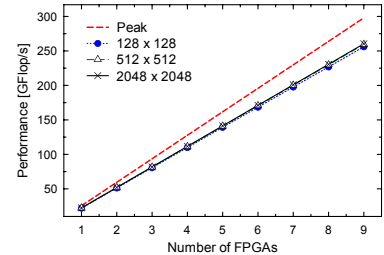
試作実装と性能評価

二次元伝熱問題(ラプラス方程式)

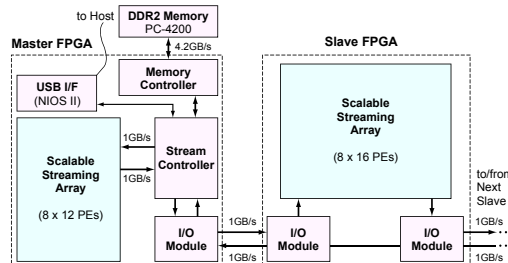
- ヤコビ法 (格子サイズ2048 x 2048, 約80000反復)
- 読み書き2GB/sの外部メモリ(DDR2 DRAM)
- 9 FPGAでピーク300GFlop/s
- 実効260GFlop/s
- 演算器稼働率87.5%
- 1300MFlop/sW以上を達成
- 線形に速度向上率



伝熱計算



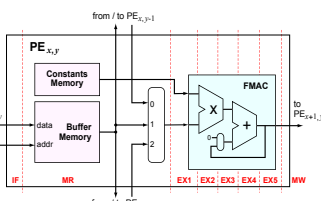
各FPGAにおけるSSAの設計 (k PE x n 段)



DE3 FPGAボードによるSSAの試作実装 (ALTERA Stratix III FPGA)

今後の課題

- 実用計算による性能評価
- ホストPCとの高速接続 (PCI-Express)
- 最適アレイ自動生成とコンパイラ



プログラマブルPEの設計 (FMAC: 積和演算器)



ALTERA StratixIII FPGA x 9によるSSAの試作実装